

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **11-087425**

(43)Date of publication of application : **30.03.1999**

(51)Int.Cl.

H01L 21/60
H01L 21/60

(21)Application number : **09-245496**

(71)Applicant : **FUJITSU LTD**

(22)Date of filing : **10.09.1997**

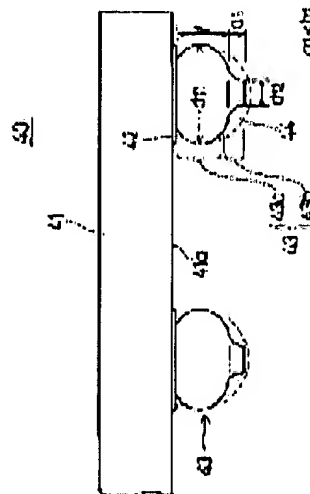
(72)Inventor : **KIRA HIDEHIKO
FUKUI KIYOSHI
KADOI KAZUHISA
BABA SHUNJI**

(54) SEMICONDUCTOR BARE CHIP, MANUFACTURE THEREOF AND MOUNTING STRUCTURE THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To increase the positional shift allowable for a semiconductor bare chip having stud bumps being mounted by compression-bonding flip-chip system.

SOLUTION: A plurality of stud bumps 43 are arranged on the surface of a semiconductor bare chip 41. Each stud bump 43 comprises a base part 43a and a head part 43b projecting therefrom. The height dimension a1 of the head part 43b is set larger than the thickness dimension of an electrode on a board for mounting the semiconductor bare chip. Even if the semiconductor bare chip is shifted by such extent as the head part 43b is removed from the electrode on the board, shoulder of base part 43a is compression-bonded to the electrode on the board and the semiconductor bare chip is mounted normally.



LEGAL STATUS

[Date of request for examination] 30.07.1999

[Date of sending the examiner's decision of rejection] 07.12.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3421548

[Date of registration] 18.04.2003

[Number of appeal against examiner's decision of rejection] 2000-00193

[Date of requesting appeal against examiner's decision of rejection] 06.01.2000

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-87425

(43)公開日 平成11年(1999) 3月30日

(51)Int.Cl.⁸

H 0 1 L 21/60

識別記号

3 1 1

F I

H 0 1 L 21/60

21/92

3 1 1 S

6 0 4 J

審査請求 未請求 請求項の数3 O L (全 7 頁)

(21)出願番号

特願平9-245496

(22)出願日

平成9年(1997) 9月10日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 吉良 秀彦

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72)発明者 福井 清

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 弁理士 伊東 忠彦

最終頁に続く

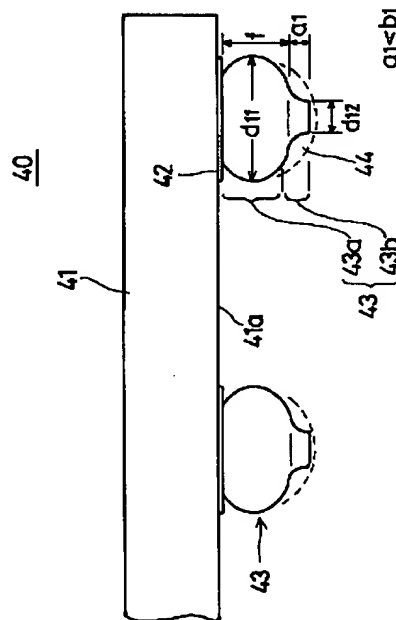
(54)【発明の名称】 半導体ベアチップ、半導体ベアチップの製造方法、及び半導体ベアチップの実装構造

(57)【要約】

【課題】 本発明はスタッドバンプを有し圧着接合のフリップチップ方式で実装される半導体ベアチップに関し、許容される位置ずれを大きくすることを課題とする。

【解決手段】 半導体ベアチップ本体41の面に複数のスタッドバンプ43が並んでいる。各スタッドバンプ43は、台座部43aとこれより突き出た頭頂部43bとよりなる。頭頂部43bの高さ寸法a1が、半導体ベアチップが実装される基板上の電極の厚さ寸法より小さい寸法に定めてある。半導体ベアチップの位置が、頭頂部43bが基板上の電極から外れる程にずれても、台座部43aの肩部が基板上の電極に圧着され、半導体ベアチップは正常に実装される。

本発明の一実施例になる半導体ベアチップの一部を拡大して示す図



【特許請求の範囲】

【請求項 1】 半導体ベアチップ本体の面に複数のスタッドバンプが並んでおり、各スタッドバンプが台座部と該台座部より突き出た頭頂部とよりなる構成の半導体ベアチップにおいて、

頭頂部の高さ寸法が該半導体ベアチップが実装される基板上の電極の厚さ寸法より小さいスタッドバンプを有する構成としたことを特徴とする半導体ベアチップ。

【請求項 2】 半導体ベアチップ本体の面に複数のスタッドバンプが並んでおり、各スタッドバンプが台座部と該台座部より突き出た頭頂部とよりなる構成の半導体ベアチップの製造方法において、

該半導体ベアチップ本体の面にワイヤボンディング技術によってスタッドバンプが形成された半導体ベアチップを平らな面に押しつける量を適宜定めることによって、頭頂部の高さ寸法が該半導体ベアチップが実装される基板上の電極の厚さ寸法より小さくなるようにしたことを特徴とする半導体ベアチップの製造方法。

【請求項 3】 半導体ベアチップ本体の面に複数のスタッドバンプが並んでおり、各スタッドバンプが台座部と該台座部より突き出た頭頂部とよりなり、頭頂部の高さ寸法が、該半導体ベアチップが実装される基板上の電極の厚さ寸法より小さいスタッドバンプを有する半導体ベアチップが、該スタッドバンプを基板上の電極と接続されて該基板上に実装してある構成としたことを特徴とする半導体ベアチップの実装構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体ベアチップ、半導体ベアチップの製造方法、及び半導体ベアチップの実装構造に関する。携帯型情報機器の小型化に伴い、半導体装置の基板への実装は高密度化が求められている。そこで、パッケージングされていない状態の裸のチップである半導体ベアチップをそのまま実装する技術であって、且つ、この半導体ベアチップをこの周囲に余分の面積を必要とせず実装エリアが狭くて足りるフリップチップ方式で実装する技術が開発されつつある。

【0002】 このフリップチップ方式は大きくは半田接合と圧着接合に分けられる。地球環境問題を考慮すると、鉛を含む半田を使用する半田接合よりは、半田を全く使用しない圧着接合方式が望ましい。フリップチップ方式は、接続する個所を認識出来ないため、半導体ベアチップの下面のバンプのプリント基板上の電極に対する位置がずれることが起こり易いという性質を有する。そこで、半導体ベアチップが所定の位置から少しずれた場合であってもバンプと電極との接続が確実に行われること、即ち、歩留りよく実装されることが求められる。

【0003】

【従来の技術】 図 6 は従来の半導体ベアチップ 10 の一部を拡大して示し、図 7 (A)、(B) は従来の半導体

ベアチップ 10 がプリント基板 20 上に実装されている状態を示す。図 6 に示すように、半導体ベアチップ 10 は、ウェハから切り出された半導体ベアチップ本体 11 の下面 11a の各電極 12 上に Au 製のスタッドバンプ 13 が形成されており、且つ、スタッドバンプ 13 の頂部を覆うように導電性接着剤 14 が付着されている構成である。

【0004】 スタッドバンプ 13 は、台座部 13a と、頭頂部 13b とよりなる。台座部 13a は球体を潰した形状を有する。頭頂部 13b は、略円柱形状を有し、台座部 13a の直径 d1 より小さい直径 d2 を有し、台座部 13a の下面の中央より下方に、寸法 a 突き出ている。頭頂部 13b は、所定量の上記の導電性接着剤 14 が付着するようにするため、及び、プリント基板 20 上の電極 21 と圧着し易くするために形成してある。

【0005】 図 7 (A) に示すように、プリント基板 20 上には、電極 21 が形成してある。電極 21 は厚さ b を有する。電極 21 は矩形であり、一辺の長さ c は約 40 μm である。スタッドバンプ 13 と電極 21 とは同じ配置である。半導体ベアチップ 10 は、図 7 (A) に示すように、圧着接合のフリップチップ方式で実装されている。即ち、半導体ベアチップ 10 は、スタッドバンプ 13 の頭頂部 13b が電極 21 に圧着し且つ頭頂部 13b が導電性接着剤 14 によって電極 21 と接着されて、且つ、半導体ベアチップ本体 11 を熱硬化性接着剤 31 によってプリント基板 20 に接着されて実装されている。熱硬化性接着剤 31 は、半導体ベアチップ本体 11 とプリント基板 20 との間の隙間 30 内に存在しており熱硬化されているため、半導体ベアチップ本体 11 の下面 11a 全面がプリント基板 20 に接着してあり、且つ、熱硬化性接着剤 31 が熱硬化して収縮することによって半導体ベアチップ本体 11 の下面 11a 全面が力 F1 でプリント基板 20 側に引き寄せられている。この力 F1 でもって、スタッドバンプ 13 の頭頂部 13b が電極 21 に圧着している。

【0006】 ここで、頭頂部 13b は、十分な量の上記の導電性接着剤 14 が付着するようにするため、高さ寸法 a は約 30 μm としてある。プリント基板 20 上の電極 21 の厚さ b は、パターンニングの高精度化に伴って薄くなっており、約 20 μm である。頭頂部 13b の寸法 a と電極 21 の厚さ b とは、 $a > b$ の関係にある。

【0007】

【発明が解決しようとする課題】 このため、半導体ベアチップ 10 をフリップチップ方式で実装するときに半導体ベアチップ 10 が所定の位置からずれて頭頂部 13b が電極 21 からはみだした場合には、図 7 (A) に示すようになる。即ち、頭頂部 13b がプリント基板 20 の上面に当接し、台座部 13a の肩部は電極 21 より離れた状態となり、スタッドバンプ 13 と電極 21 との電氣的接続がなされない状態となってしまう。

3

【0008】換言すれば、半導体ベアチップ10をフリップチップ方式で実装するときに半導体ベアチップ10（ここでは、スタッドバンプ13に関して考える）が所定の位置PからX1、X2方向上のうち一方方向にずれることが許容される許容寸法eは、頭頂部13bが電極21の縁にかかる寸法であり、大略 $(c/2) + (d/2)$ であり、僅かに約 $30\mu\text{m}$ と小さい。このため、半導体ベアチップ10をフリップチップ方式で実装するときに要求される位置出しの精度が高くなり、正常に実装することがそれだけ難しくなり、実装不良が起きやすくなり、実装の歩留りが低くなってしまうという問題があった。

【0009】そこで、本発明は、上記課題を解決した半導体ベアチップ、半導体ベアチップの製造方法、及び半導体ベアチップの実装構造を提供することを目的とする。

【0010】

【課題を解決するための手段】上記課題を解決するために、請求項1の発明は、半導体ベアチップ本体の面に複数のスタッドバンプが並んでおり、各スタッドバンプが台座部と該台座部よりより突き出た頭頂部とよりなる構成の半導体ベアチップにおいて、頭頂部の高さ寸法が、該半導体ベアチップが実装される基板上の電極の厚さ寸法より小さいスタッドバンプを有する構成としたものである。

【0011】請求項2の発明は、半導体ベアチップ本体の面に複数のスタッドバンプが並んでおり、各スタッドバンプが台座部と該台座部より突き出た頭頂部とよりなる構成の半導体ベアチップの製造方法において、該半導体ベアチップ本体の面にワイヤボンデング技術によってスタッドバンプが形成された半導体ベアチップを平らな面に押しつける量を適宜定めることによって、頭頂部の厚さ寸法が該半導体ベアチップが実装される基板上の電極の厚さ寸法より小さくなるようにしたものである。

【0012】請求項3の発明は、半導体ベアチップ本体の面に複数のスタッドバンプが並んでおり、各スタッドバンプが台座部と該台座部より小さく該台座部より突き出た頭頂部とよりなり、頭頂部の厚さ寸法が、該半導体ベアチップが実装される基板上の電極の厚さ寸法より小さいスタッドバンプを有する半導体ベアチップが、該スタッドバンプを基板上の電極と接続されて該基板上に実装してある構成としたものである。

【0013】

【発明の実施の形態】図1は本発明の一実施例になる半導体ベアチップ40の一部を拡大して示し、図2

(A)、(B)は図1の半導体ベアチップ40がプリント基板50上に実装されている状態を示す。図1に示すように、半導体ベアチップ40は、ウェハから切り出された半導体ベアチップ本体41の下面41aのA1製の

4

各電極42上にスタッドバンプ43が形成されており、且つ、スタッドバンプ43の頂部を覆うように導電性接着剤44が付着されている構成である。スタッドバンプ43はAu製である。導電性接着剤44は、エポキシ樹脂にAgフィラーが含有されているものである。Agフィラーは平均粒径が $0.6\mu\text{m}$ であり、従来の約 $1/10$ と小さい。後述するように頭頂部43bの高さが小さくても所望量の導電性接着剤44が付着するようにするためである。スタッドバンプ43及び導電性接着剤44は鉛を有しない。

【0014】スタッドバンプ43は、台座部43aと、頭頂部43bとよりなる。台座部43aは球体を潰した形状を有し、直径d11が約 $60\mu\text{m}$ で、高さfが $20\sim 25\mu\text{m}$ である。頭頂部43bは、略円柱形状を有し、台座部43aの直径d11より小さい直径d12を有し、台座部43aの下面の中央より下方に、寸法a1突き出ている。直径d12は $20\sim 30\mu\text{m}$ である。寸法a1は約 $10\mu\text{m}$ であり、従来の寸法aの約 $1/2\sim 1/3$ と小さい。

【0015】図2(A)に示すように、プリント基板50上には、電極51が形成してある。電極51は厚さbを有する。電極51は矩形であり、一辺の長さc1は約 $40\mu\text{m}$ である。スタッドバンプ43と電極51とは同じ配置である。電極51の厚さb1は、約 $20\mu\text{m}$ である。頭頂部43bの寸法a1と電極51の厚さb1とは、 $a1 < b1$ の関係にある。これによって、後述するように台座部43aでの電極51との電氣的接続が可能となっている。

【0016】半導体ベアチップ40は、図2(A)に示すように、圧着接合のフリップチップ方式で実装されている。即ち、半導体ベアチップ40は、スタッドバンプ43の頭頂部43bが電極41に圧着し且つ頭頂部43bが導電性接着剤44によって電極51と接着されて、且つ、半導体ベアチップ本体31をエポキシの熱硬化性接着剤61によってプリント基板40に接着されて実装されている。熱硬化性接着剤61は、半導体ベアチップ本体41とプリント基板50との間の隙間60内に存在しており熱硬化されているため、半導体ベアチップ本体41の下面41a全面がプリント基板50に接着しており、且つ、熱硬化性接着剤61が熱硬化して収縮することによって半導体ベアチップ本体41の下面41a全面が力F2でプリント基板50側に引き寄せられている。この力F2でもって、スタッドバンプ43の頭頂部43bが電極51に圧着している。よって、各スタッドバンプ43が電極51と電氣的に接続されている。

【0017】図2(B)は、半導体ベアチップ40をフリップチップ方式で実装するときに半導体ベアチップ40が所定の位置からずれ、このずれ量が大きく、頭頂部43bが電極51からはみだした場合を示す。頭頂部43bの寸法a1と電極51の厚さb1とが $a1 < b1$ の

10

20

30

40

50

関係にあるため、頭頂部 43b がプリント基板 50 の上面に当接せず、台座部 43a の肩部 43a1 が電極 51 の縁の部分 51a に圧着した状態となり、各スタッドバンプ 43 は電極 51 と電気的に接続されている。

【0018】よって、半導体ベアチップ 40 をフリップチップ方式で実装するときに半導体ベアチップ 40（ここでは、スタッドバンプ 43 に関して考える）が所定の位置 P から X1、X2 方向上一方向にずれることが許容される許容寸法 e1 は、頭頂部 43b が電極 51 の縁を越えて、台座部 43a の肩部 43a1 が電極 51 の縁にかからなくなるまでの寸法、大略 $(c1/2) + (d1/2)$ であり、約 $50\mu\text{m}$ と、従来の許容寸法 e に比べて約 $20\mu\text{m}$ も大きい。

【0019】このため、半導体ベアチップ 40 をフリップチップ方式で実装するときに要求される精度が従来より緩くなり、実装がし易くなり、実装不良が起きにくくなり、実装の歩留りが向上する。次に、半導体ベアチップ 40 を製造する方法（特にスタッドバンプ 43 を形成する方法）及び半導体ベアチップ 40 をプリント基板 50 上に実装する方法について、図 3 及び図 4 を参照して説明する。

【0020】まず、工程 S1 を行う。図 4 (A) に示すように、ワイヤボンディングと同じく、ボンダのキャピラリ 70 の先端より所定長さの Au ワイヤ 71 を突き出し、キャピラリ 70 を半導体ベアチップ本体 41 の電極 42 に当接させ、加圧する共に超音波を加えて加熱させて Au ワイヤを電極 42 にボンディングさせ、ワイヤクランプ（図示せず）によってキャピラリ 70 の後端から出ている Au ワイヤをクランプし、キャピラリ 70 を引上げ、Au ワイヤを引っ張ってボンディングされている個所で切断して、図 5 (A) に拡大して示すスタッドバンプ 43A を形成する。スタッドバンプ 43A は、台座部 43a と、この中心から上方に突き出ており先端が尖っている突部 43d とよりなる。

【0021】次に、工程 S2 を行う。図 4 (B) に示すように、半導体ベアチップ本体 41 をガラス平板 72 に押し付けて先端が尖っている突部 43d を潰すレベリングを行い、図 5 (B) に拡大して示す頭頂部 43b を形成し、スタッドバンプ 43 を形成する。半導体ベアチップ本体 41 をガラス平板 72 に押し付ける量によって、頭頂部 43b の高さが決まる。ここでは、半導体ベアチップ本体 41 をガラス平板 72 に押しつける量を、従来より多くしてあり、高さ寸法が約 $10\mu\text{m}$ である頭頂部 43b を形成する。

【0022】次に、工程 S3 を行う。図 4 (C) に示すように、半導体ベアチップ本体 41 を、導電性接着剤 44 が約 $10\mu\text{m}$ の厚さで塗布されているガラス平板 73 上に押しつけて離すことによって、導電性接着剤 44 をスタッドバンプ 43 の頭頂部 43b に転写させる。続いて導電性接着剤 44 をプリキュアして粘度を上げる。実

装のときに導電性接着剤 44 が逃げないようにするためである。

【0023】これによって、半導体ベアチップ 40 が完成する。次に、工程 S4 を行う。図 4 (D) に示すように、プリント基板 50 の各半導体ベアチップ実装予定領域に、熱硬化性接着剤 61 を塗布する。次に、工程 S5 を行う。図 4 (E) に示すように、ヒータを内蔵したヘッド 75 を使用して半導体ベアチップ 40 をプリント基板 50 上の半導体ベアチップ実装予定領域に搭載し、加圧し、加熱し、熱硬化性接着剤 61 を硬化させる。これによって、半導体ベアチップ 40 が、図 2 (A) 又は図 2 (B) に示すように、プリント基板 50 上に実装される。

【0024】

【発明の効果】以上説明したように、請求項 1 の発明によれば、スタッドバンプの頭頂部の厚さ寸法が、半導体ベアチップが実装される基板上の電極の厚さ寸法より小さく定めてあるため、半導体ベアチップが各スタッドバンプを基板上の対応する電極と接続されて実装される場合に、半導体ベアチップが所定の位置よりずれて頭頂部が電極からはみ出た場合であっても、台座部の肩部が電極に当たって接続され、台座部での接続が可能となり、よって、半導体ベアチップに許容される所定の位置からのずれ量を従来に比べて大きくすることが出来る。これによって、半導体ベアチップの実装の歩留りを向上させることが出来る。

【0025】請求項 2 の発明によれば、半導体ベアチップ本体の面にワイヤボンディング技術によってスタッドバンプが形成された半導体ベアチップを平らな面に押しつける量を適宜定めることによって、頭頂部の厚さ寸法が該半導体ベアチップが実装される基板上の電極の厚さ寸法より小さくなるようにしたため、各スタッドバンプ上記頭頂部の厚さ寸法を、一括して精度良く定めることが出来る。

【0026】請求項 3 の発明によれば、半導体ベアチップ本体の面に複数のスタッドバンプが並んでおり、各スタッドバンプが台座部と該台座部より小さく該台座部より突き出た頭頂部とよりなり、頭頂部の厚さ寸法が、半導体ベアチップが実装される基板上の電極の厚さ寸法より小さいスタッドバンプを有する半導体ベアチップが、スタッドバンプを基板上の電極と接続されて該基板上に実装してある構成としたため、半導体ベアチップが所定の位置よりずれた場合に、頭頂部が電極内に位置している場合には頭頂部が電極と接続され、頭頂部が電極からはみ出た場合であっても、はみ出しの量が小さい場合には台座部の肩部が電極に当たって接続され、よって、半導体ベアチップに許容される所定の位置からのずれ量が従来に比べて大きくなり、よって、半導体ベアチップの基板上への実装の信頼性を向上させることが出来る。

7

8

【図面の簡単な説明】

【図 1】本発明の一実施例になる半導体ベアチップの一部を拡大して示す図である。

【図 2】図 1 の半導体ベアチップの実装状態を示す図である。

【図 3】半導体ベアチップを製造する工程及び実装する工程を示す図である。

【図 4】半導体ベアチップを製造する工程及び実装する工程を示す図である。

【図 5】スタッドパンプの製造を説明する図である。

【図 6】従来の半導体ベアチップの一部を拡大して示す図である。

【図 7】従来の半導体ベアチップの実装状態を示す図である。

【符号の説明】

40 半導体ベアチップ

41 半導体ベアチップ本体

43、43A スタッドパンプ

43a 台座部

43a1 肩部

43b 頭頂部

43d 突部

44 導電性接着剤

50 プリント基板

51 電極

51a 縁の部分

60 隙間

61 熱硬化性接着剤

70 キャピラリ

71 Auワイヤ

72、73 ガラス平板

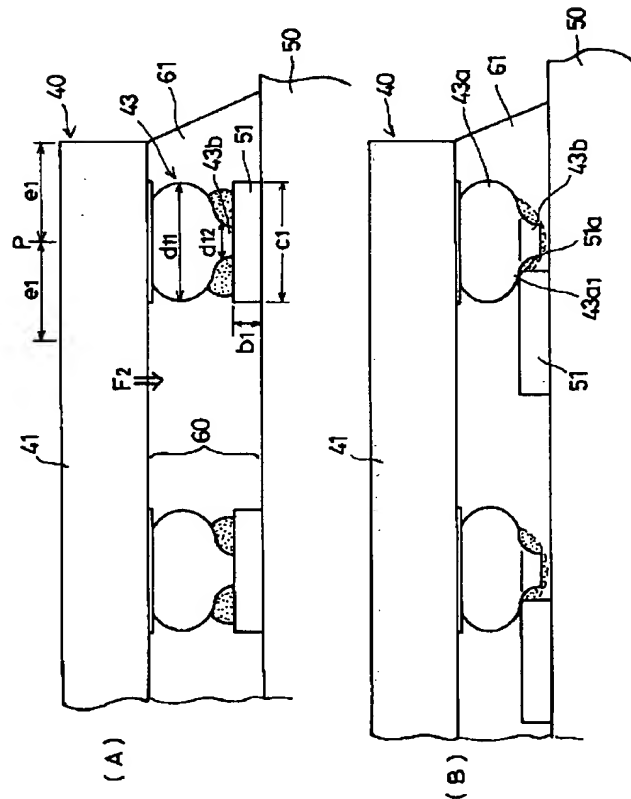
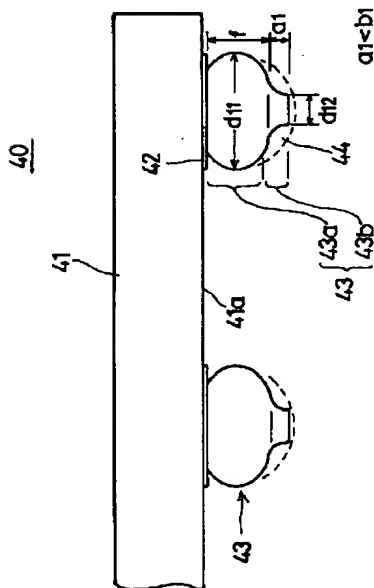
75 ヘッド

【図 1】

【図 2】

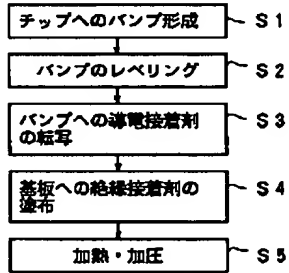
本発明の一実施例になる半導体ベアチップの一部を拡大して示す図

図 1 の半導体ベアチップの実装状態を示す図



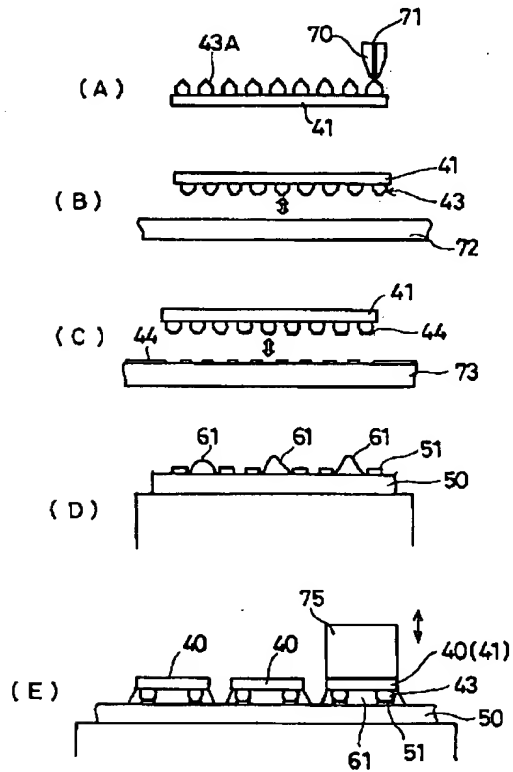
【図3】

半導体バンプを製造する工程及び実装する工程を示す図



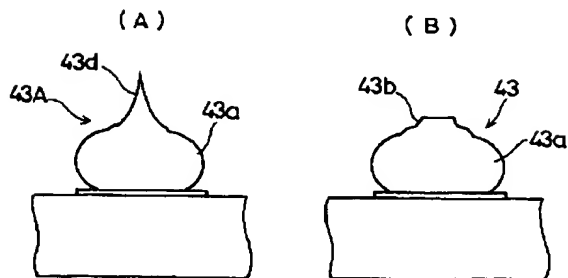
【図4】

半導体バンプを製造する工程及び実装する工程を示す図



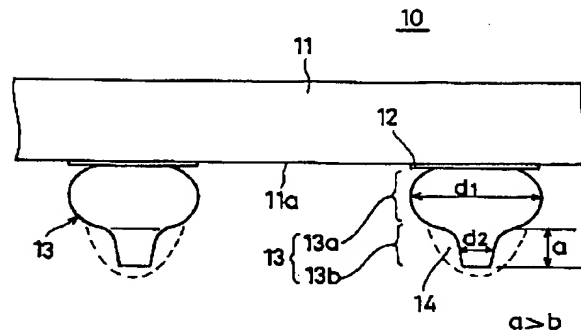
【図5】

スタッドバンプの製造を説明する図



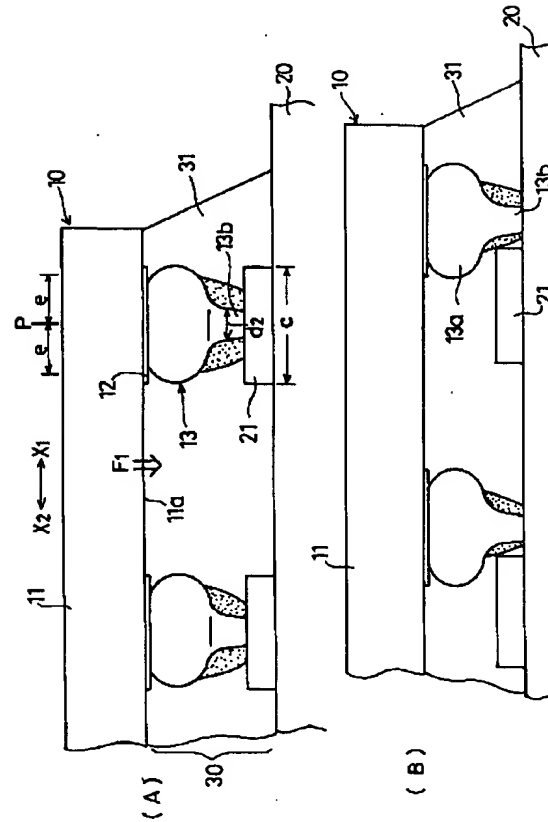
【図6】

従来の半導体バンプを示す図



【図 7】

従来の半導体パッケージの実装状態を示す図



フロントページの続き

(72)発明者 角井 和久
 神奈川県川崎市中原区上小田中 4 丁目 1 番
 1 号 富士通株式会社内

(72)発明者 馬場 俊二
 神奈川県川崎市中原区上小田中 4 丁目 1 番
 1 号 富士通株式会社内